

Laid-Open Utility Model (U.M.) Application Heisei-I-II8456

(I9) Japanese Patent Office (JP)

(II) U.M. Laid-Open Appln.

(12) Laid-Open U. M. Application (U)

HI-II8456

(51) Int. Cl ^a	ID Code	In-office Serial	(43) Published: H-I(1989), Aug. 10
H 01 L	23/52	C-8728-5F	
H 05 K	3/46	Q-7342-5F	

Request for Exam. : None

Number of Claims : 1

(54) Title of U. M. Application

CHIP MOUNTING STRUCTURE

(21) Application Number S63-14359

(22) Filed on February 4, 1988

(72) Inventor

Mitsuyoshi NISHIDE

c/o Murata Manufacturing Co., Ltd.

2-26-10, Tenjin, Nagaokakyou-shi, Kyoto

(72) Inventor

Hiroyuki OHTA

c/o Murata Manufacturing Co., Ltd.

2-26-10, Tenjin, Nagaokakyou-shi, Kyoto

(71) Applicant

Murata Seisakusho 2-26-10, Tenjin, Nagaokakyou-shi, Kyoto

(74) Agent

Patent Attorney Kazuhide OKADA

SPECIFICATION

1. Title of the Invention

CHIP MOUNTING STRUCTURE

2. Scope of Claims of the Invention

- Omitted -

3. Detailed Description of the Invention

<Field of Industrial Application>

The present invention relates to a chip mounting structure in arranging chips on a circuit board.

<Prior Art>

Conventionally, as a chip mounting structure of this kind, one designated with a sectional view in Fig. 3 has been known. Namely, it is a structure in which a chip 41, such as an IC, is mounted on a single circuit board 40, and one or a plurality of the chip(s) 41 is/are directly mounted on a surface of the circuit board 40 by being arrayed horizontally, electrodes (not shown) of the respective chip 41 and a circuit pattern 42 formed on the circuit board 40 are electrically connected to each other by a thin metal wire 43 (hereinafter referred to simply as a wire), and the chip 41 and the wire 43 are hermetically sealed by a protective coating process of an epoxy-based resin material 44, a cap (not shown) and the like.

<Problems to be Solved by the Invention>

In such a chip mounting structure, however, the following problems were present. Namely, because the chips 41 are mounted by being arranged horizontally, the mounting area increases, and the surface area of the circuit board 40 becomes greater in the lateral direction, thereby causing an increase in size. Further, when the chip 41 is sealed with the resin material 44, it is necessary to properly adjust the viscosity or the like of the resin material 44 serving as a protective coat, but such an adjustment is time-consuming, and also if the viscosity of the resin material 44 is not suitable, then it is difficult to reliably seal the chip 41 or the like.

Further, if some defect occurs in even one of the plurality of chips 41 provided on the circuit board 40, because it is difficult to remove and replace only the defective chip 41, the circuit board 40 itself on which the plurality of chips 41 are mounted has to be replaced, thus causing an inconvenience where it becomes difficult to improve productivity.

The present invention is made in consideration of the above-mentioned

conventional problems, and an object thereof is to provide a chip mounting structure in which a circuit board is miniaturized by reducing the chip mounting area, while reducing the work required in the protective coating process, and in which, if a defective chip is found, just the defective chip can be replaced.

<Means for Solving the Problems>

The chip mounting structure of the present invention, in order to solve such problems, is characteristic in its structure in which a pattern and a via-hole is formed on each of a green sheet with a penetrating hole and green sheet without a penetrating hole, a mounting board having a chip housing hollow on top is formed by stacking and integrally baking these sheets, an external electrode led from the above via-hole is provided at least on, among the top and bottom surfaces, the bottom surface of the mounting board, while a plurality of the mounting boards, in which a chip is housed in the hollow to be connected to the above wiring pattern, are stacked on and fixed to a circuit board serving as a base.

<Operation>

According to the above construction, a unitized mounting board group is formed by stacking plural mounting boards housing chips within the chip housing hollow, and is adhered to the circuit board, so that remarkable reduction in the mounting area is achieved, and the surface area of the circuit board on which this is mounted is reduced to make miniaturization possible. Further, except for the mounting board on top, the mounting board stacked above covers and protects the mounting board sequentially positioned below, so that it becomes unnecessary to apply a time-consuming protective coating process to the chips housed in the respective mounting boards.

Further, if a defect occurs in any of the chips, it is possible to remove and replace the unitized mounting board group including it from the circuit board, and it is not necessary to replace the circuit board itself, so that it is possible to achieve a remarkable improvement in productivity.

<Embodiment>

Hereinafter, one embodiment of the present invention is described in detail with reference to the drawings.

Fig. 1 is a sectional view of a chip mounting structure related to the present invention, and in this drawing, reference numeral 1 is a mounting board, 2 is a chip such as an IC, and 3 is a flat shaped circuit board. In this chip mounting structure, a unitized mounting board group 4, in which plural (four, in this drawing) mounting boards are stacked, is adhered on a top surface of the circuit board 3,

and the chips 2 are housed within a chip housing hollow 5 formed on the top face of each mounting board 1. Further, on the top and bottom surfaces of each mounting board 1, external electrodes 6 and 7, respectively, are formed, thus the structure being such that the external electrodes 7 on the bottom surface of the mounting board 1 positioned at the bottom-most stage of the mounting board group 4 and the wiring pattern 8 formed on the surface of the circuit board 3 are connected to each other by soldering.

Next, a fabrication procedure for the chip mounting structure relating to the present embodiment is described. In this description, a fabrication procedure for a mounting board 1 as a single item is described first, and then an overall structure is described next.

In case of fabricating the mounting board 1 as a single item, three green sheets 10 to 12 to be stacked over one another as shown in Fig. 2 (a) are prepared. In this case, as the green sheet 10 to be positioned at the lowermost position, one in which only a penetration hole as a via hole along the thickness direction is formed in advance is prepared, predetermined wiring patterns 13, 14 are formed by printing and the like on both the top and bottom, respectively, surfaces thereof, and a conductive paste for connecting the wiring patterns 13, 14 to serve as a via hole 15 is filled in the above mentioned penetration hole. In this case, the wiring pattern 14 formed on the bottom surface of the green sheet 10 becomes an external electrode 7 provided on a bottom surface of the finished mounting board 1.

In addition, as the green sheet 11 positioned in the middle, one in which a penetration hole 16 having a size capable of housing a chip 2 and a penetration hole as a via hole are formed in advance is prepared, predetermined wiring patterns 17, 18 are formed on both the top and bottom, respectively, surfaces thereof, and a conductive paste for connecting the wiring patterns 17, 18 to serve as a via hole 19 is filled in the above mentioned penetration hole. Further, in the green sheet 12 positioned on top, a penetration hole 20 at a position corresponding to and larger than the penetration hole 16, and a penetration hole as a via hole are formed in advance, predetermined wiring patterns 21, 22 are formed on both the top and bottom, respectively, surfaces thereof, and also a conductive paste for connecting the wiring patterns 21, 22 to serve as a via hole 23 is filled in the above mentioned penetration hole. In this case, the wiring pattern 21 formed on the top surface of the green sheet 12 becomes the external electrode 6 provided on the top surface of the mounting board 1, but it does not necessarily have to be formed if, for example, the mounting board 1 to be fabricated is to be positioned at the uppermost

position of the mounting board group 4.

Next, by stacking and pressure bonding these green sheets 10 to 12 with one another and unitizing by baking under a predetermined condition, the mounting board 1 having a chip housing hollow 5, as shown in Fig. 2 (b), is obtained. Then, the via holes 15, 19 and 23 respectively provided on the above mentioned green sheets 10 to 12 are connected to each other by this unitizing baking, and a portion of them becomes a via hole penetrating the mounting board 1 in its thickness direction to directly connect the external electrodes 6 and 7. Further, in this case, in the chip housing hollow 5 comprised of the penetration holes 16 and 20, because the penetration hole 20 positioned on top is larger than the penetration hole 16 positioned in the middle, the wiring pattern 17 formed on the top surface of the green sheet 11 in the middle is in a state in which it is exposed.

Further, the chip 2 is housed within the chip housing hollow 5 of the thus finished mounting board 1, and by connecting an electrode (not shown) of the chip 2 and the exposed wiring pattern 17 with each other by a wire 25, the chip 2 is mounted on the mounting board 1.

Next, as shown in Fig. 1, by stacking a required number (4 in the figure) of mounting boards 1, on which the chips 2 are mounted, over one another, connecting the respective external electrodes 6 and 7 of the mounting boards 1 positioned above and below by soldering, and hermetically sealing by applying a glass paste 26 between the peripheral portions thereof, the unitized mounting board group 4 is formed. In this case, the chip housing hollow 5 of the mounting board 1 positioned at the top of the mounting board group 4 is covered with a lid 27 made of ceramics, and is hermetically sealed with the glass paste 26. Further, the mounting board group 4 is adhered on the surface of the circuit board 3, and the external electrode 7 on the bottom surface of the mounting board 1 positioned at the bottom of the mounting board group 4 is soldered to the wiring pattern 8 formed on the surface of the circuit board 3.

In addition, in the above described embodiment, it is described that two green sheets 11 and 12 having penetrating holes 16 and 20 and one green sheet 10 having no penetrating hole are used in fabricating the mounting board 1, but the number of sheets is not limited as such, and it is needless to say that the number of each of green sheets may be arbitrarily selected depending on the required conditions.

<Effects of the Invention>

As described above, according to the present invention, because a plurality of mounting boards each housing a chip within a chip housing hollow are stacked over one another and adhered to the circuit board, it is possible to achieve a significant reduction in the mounting area and miniaturization of the circuit board. Further, because the mounting board stacked above covers and protects the mounting board stacked sequentially below, it is not necessary to apply a protective coating process to the chips housed in each of the mounting boards, and it is possible to do away with the work required in the protective coating process that was conventionally necessary.

Further, if a defect occurs in a chip, it is possible to remove from the circuit board and replace only the unitized mounting board group including it, and it is not necessary to replace the circuit board with the chips arranged thereon as a whole as in the conventional example, and there is the effect that it is possible to achieve a drastic improvement in productivity.

4. Brief Description of the Drawings

Fig. 1 and Figs. 2 (a) and (b) are related to one embodiment of the present invention, wherein Fig. 1 is a sectional view showing a chip mounting structure, and Fig. 2 is a diagram for explaining the fabrication procedure of its mounting board. Further, Fig. 3 is a sectional view showing a conventional chip mounting structure.

In the figures, reference numeral 1 is a mounting board, 2 is a chip, 3 is a circuit board, 5 is a chip housing hollow, 6 and 7 are external electrodes, 10 to 12 are green sheets, and 16 and 20 are penetrating holes.

Applicant	Murata Manufacturing Co., Ltd.
Agent Attorney:	Kazuhide OKADA

⑩ 日本国特許庁(JP)

⑪ 実用新案出願公開

⑫ 公開実用新案公報(U) 平1-118456

⑬ Int. Cl.¹

識別記号

庁内整理番号

⑭ 公開 平成1年(1989)8月10日

H 01 L 23/52
H 05 K 3/46

C-8728-5F
Q-7342-5F

審査請求 未請求 請求項の数 1 (全 頁)

⑮ 考案の名称 チップ実装構造

⑯ 実 願 昭63-14359

⑰ 出 願 昭63(1988)2月4日

⑱ 考 案 者 西 出 充 良 京都府長岡京市天神2丁目26番10号 株式会社村田製作所
内

⑲ 考 案 者 大 田 寛 幸 京都府長岡京市天神2丁目26番10号 株式会社村田製作所
内

⑳ 出 願 人 株式会社村田製作所 京都府長岡京市天神2丁目26番10号

㉑ 代 理 人 弁理士 岡田 和 秀

明細書

1. 考案の名称

チップ実装構造

2. 実用新案登録請求の範囲

(1) 貫通孔があるグリーンシートと貫通孔がないグリーンシートとのそれぞれに配線パターンおよびバイアホールを形成し、これらのシートを積層して一体焼成することによって上面にチップ収納凹部を有する取付基板を形成するとともに、

この取付基板の上下面のうちの少なくとも下面に、前記バイアホールから導出された外部電極を設け、

かつ、前記チップ収納凹部内にチップを収納して前記配線パターンと接続した取付基板の複数を、互いに積み重ねてベースとなる回路基板に固着したことを特徴とするチップ実装構造。

3. 考案の詳細な説明

<産業上の利用分野>

本考案は、回路基板上にチップを配設する際のチップ実装構造に関する。

< 従来の技術 >

従来から、この種のチップ実装構造として、第3図の断面図に示すようなものが知られている。すなわち、単一の回路基板40にICなどのチップ41を実装した構造であって、1個もしくは複数個のチップ41を回路基板40表面上の所定位置に水平状に並べて直接的に搭載するとともに、各チップ41の電極（図示していない）と回路基板40に形成された配線パターン42とを互いに金属細線（以下、ワイヤという）43によって電気的に接続したうえ、チップ41およびワイヤ43をエポキシ系の樹脂材料44やキャップ（図示していない）などの保護コート処理によって気密封止してなるものである。

< 考案が解決しようとする問題点 >

ところで、このようなチップ実装構造においては、つぎのような問題点があった。すなわち、チップ41を水平状に並べて搭載するので、実装面積が増大し、回路基板40の表面積が水平方向に沿って広がって大型化してしまう。また、チップ41を樹脂材料44によって封止する際には、保護コー

トとしての樹脂材料44の粘度などを適切に調整しなければならぬが、その調整に手間がかかり、しかも、樹脂材料44の粘度が適切でない場合にはチップ41などを確実に封止することが難しかった。

さらに、回路基板40上に配設された複数個のチップ41のうちの1個にでも不良が発生した場合には、不良となったチップ41のみを取り外して交換することが困難なため、複数個のチップ41が配設されている回路基板40そのものを一体として交換しなければならず、生産性の向上を図り難いという不都合もあった。

本考案はかかる従来の問題点に鑑みて創案されたものであって、チップの実装面積を低減して回路基板の小型化を図るとともに、チップの保護コート処理に要する手間を削減し、かつ、チップに不良が発生した場合には、不良となったチップのみを交換することが可能なチップ実装構造の提供を目的としている。

<問題点を解決するための手段>

本考案のチップ実装構造は、このような問題点

を解決するため、貫通孔があるグリーンシートと貫通孔がないグリーンシートとのそれぞれに配線パターンおよびバイアホールを形成し、これらのシートを積層して一体焼成することによって上面にチップ収納凹部を有する取付基板を形成し、かつ、この取付基板の上下面のうちの少なくとも下面に前記バイアホールから導出された外部電極を設けるとともに、前記チップ収納凹部内にチップを収納して前記配線パターンと接続した取付基板の複数を、互いに積み重ねてベースとなる回路基板に固着した構成に特徴を有するものである。

<作用>

上記構成によれば、チップ収納凹部内にチップを収納した取付基板の複数を互いに積み重ねてユニット化された取付基板群を形成し、これを回路基板に固着しているので、実装面積の大幅な低減を図るとともに、これが配設される回路基板の表面積を狭くして小型化することが可能となる。また、最上段に位置する取付基板を除き、上側に積み重ねられた取付基板が順次その下側に位置する

取付基板を覆って保護することになるので、各取付基板に収納されたチップに対して手間のかかる保護コート処理を施す必要がなくなる。

さらに、いずれかのチップに不良が発生した場合は、これを含んでユニット化された取付基板群のみを回路基板から取り外して交換することができ、回路基板そのものを交換する必要がないので、生産性の向上が図れる。

<実施例>

以下、本考案の一実施例を図面に基づいて詳細に説明する。

第1図は本考案に係るチップ実装構造を示す断面図であり、この図における符号1は取付基板、2はICなどのチップ、3は平板状の回路基板である。このチップ実装構造においては、複数(図では、4つ)の取付基板1が互いに積み重ねられてユニット化された取付基板群4が回路基板3の表面上に固着されており、各取付基板1の上面に形成されたチップ収納凹部5内にはチップ2が収納されている。また、各取付基板1の上下両面そ

れぞれには外部電極 6、7 が形成されており、取付基板群 4 の最下段に位置する取付基板 1 下面の外部電極 7 と回路基板 3 表面に形成された配線パターン 8 とが互いに半田付けによって接続された構造となっている。

つぎに、本実施例に係るチップ実装構造の製作手順について説明する。なお、この説明においては、まず、単品としての取付基板 1 の製作手順について説明したのち、全体構造について説明する。

単品としての取付基板 1 を製作する際には、まず、第 2 図(a) に示すような互いに積層される 3 枚のグリーンシート 10~12 をそれぞれ用意する。このとき、その最下段に位置するグリーンシート 10 としては、その厚み方向に沿うバイアホール用貫通孔のみが予め形成されたものが用意され、その上下両面それぞれに所定の配線パターン 13、14 を印刷などによって形成するとともに、前記貫通孔には配線パターン 13、14 を互いに接続してバイアホール 15 となる導電ペーストを充填する。なお、このグリーンシート 10 の下面に形成された配線パ

ターン14は、完成した取付基板1の下面に設けられた外部電極7となるものである。

また、中段に位置するグリーンシート11としては、予めチップ2を収納し得る大きさの貫通孔16とバイアホール用貫通孔とが形成されたものが用意されており、その表裏両面それぞれには所定の配線パターン17、18を形成し、かつ、前記貫通孔には配線パターン17、18を接続してバイアホール19となる導電ペーストを充填する。さらに、上段に位置するグリーンシート12には、前記貫通孔16と対応する位置でこれよりも大きな貫通孔20とバイアホール用貫通孔とが予め形成されており、その表裏両面それぞれには所定の配線パターン21、22を形成し、かつ、前記貫通孔には配線パターン21、22を接続してバイアホール23となる導電ペーストを充填する。なお、このグリーンシート12の上面に形成された配線パターン21は取付基板1の上面に設けられた外部電極6となるものであるが、例えば、製作しようとする取付基板1が取付基板群4の最上段に配置される場合などは必ずしも形

成されていなくてもよい。

つぎに、これらのグリーンシート10~12を互いに積層して圧着したうえ、所定条件下で焼成して一体化することにより、第2図(b)に示すように、上面にチップ収納凹部5を有する多層構造の取付基板1が得られる。そして、この一体焼成によって前述したグリーンシート10~12のそれぞれに設けられたバイアホール15, 19, 23は互いに接続され、これらの一部が取付基板1をその厚み方向に貫通して外部電極6, 7を直接的に接続するバイアホールとなる。また、このとき、貫通孔16, 20からなるチップ収納凹部5においては、中段に位置する貫通孔16よりも上段に位置する貫通孔20の方が大きいので、中段のグリーンシート11の上面に形成された配線パターン17はチップ収納凹部5内に露出した状態となる。

さらに、このようにして完成した取付基板1のチップ収納凹部5内にチップ2を収納し、このチップ2の電極(図示していない)と露出している配線パターン17とを互いにワイヤ25で接続するこ

とにより、取付基板 1 にチップ 2 が搭載される。

つぎに、第 1 図に示すように、チップ 2 が搭載された取付基板 1 の所要数(図では、4 つ)を互いに積み重ねたうえ、上下に位置する取付基板 1 同士の外部電極 6, 7 を互いに半田付けによって接続するとともに、これらの外縁部間にガラスペースト 26 を塗布して気密封止することにより、ユニット化された取付基板群 4 を形成する。なお、この際、この取付基板群 4 の最上段に位置する取付基板 1 のチップ収納凹部 5 には、セラミックスなどからなる蓋 27 で覆われ、ガラスペースト 26 によって気密封止されている。そして、この取付基板群 4 を回路基板 3 の表面上に固着し、取付基板群 4 の最下段に位置する取付基板 1 下面の外部電極 7 を回路基板 3 表面に形成された配線パターン 8 に半田付けする。

なお、以上説明した実施例においては、取付基板 1 の製作に際して、貫通孔 16, 20 がある 2 枚のグリーンシート 11, 12 と貫通孔がない 1 枚のグリーンシート 10 を用いるものとして説明したが、上

記枚数に限定されるものではなく、各グリーンシート
の枚数については所要の条件に応じて任意に
選択できることはいうまでもない。

< 考案の効果 >

以上説明したように、本考案によれば、チップ
収納凹部内にチップを収納した取付基板の複数を
互いに積み重ねて回路基板に固着しているので、
実装面積の大幅な低減とともに、回路基板の小型
化を図ることができる。また、上側に積み重ねら
れた取付基板が順次その下側に位置する取付基板
を覆って保護するので、各取付基板に収納された
チップに対して保護コート処理を施す必要がなく、
従来例では必要であった保護コート処理に要する
手間を省くことができる。

さらに、チップに不良が発生した場合は、これ
を含んでユニット化された取付基板群のみを回路
基板から取り外して交換することができ、従来例
のようにチップが配設された回路基板を一体とし
て交換する必要がないので、生産性の大幅な向上
を図ることができるという効果がある。

4. 図面の簡単な説明

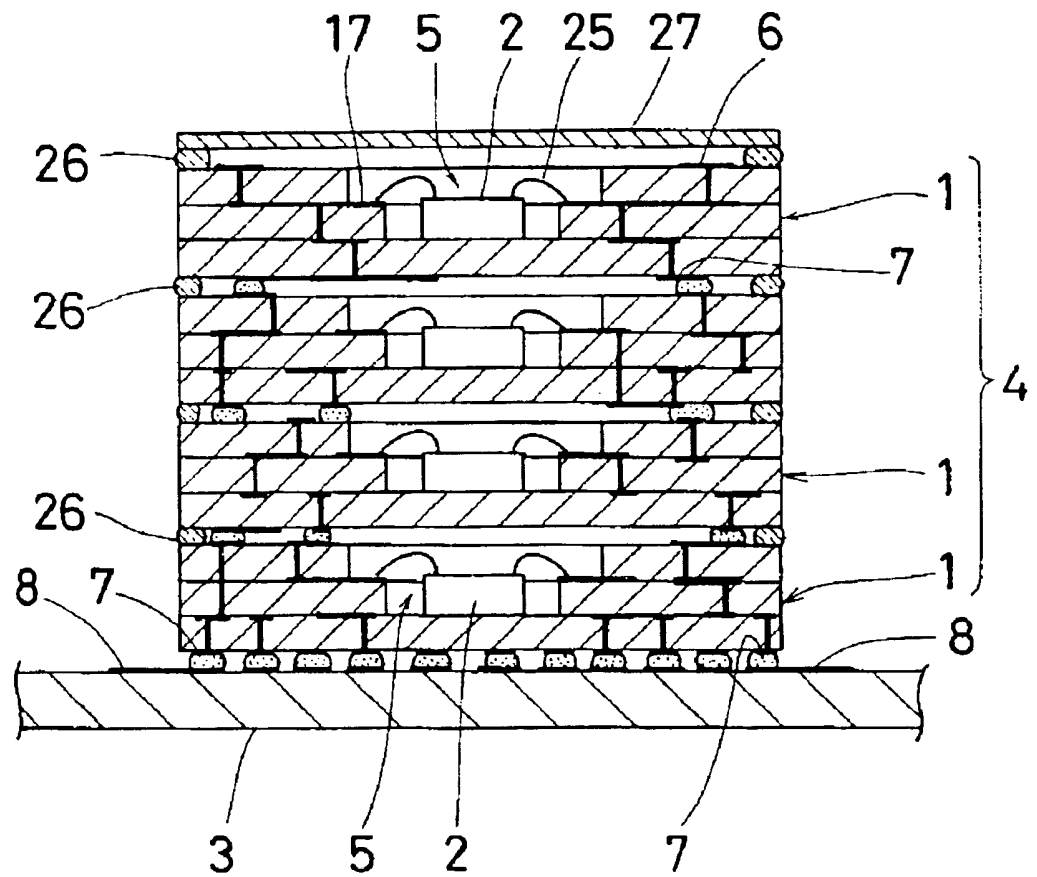
第1図および第2図(a),(b)は本考案の一実施例に係り、第1図はチップ実装構造を示す断面図、第2図はその取付基板の製作手順を示す説明図である。また、第3図は、従来のチップ実装構造を示す断面図である。

図において、符号1は取付基板、2はチップ、3は回路基板、5はチップ収納凹部、6、7は外部電極、10~12はグリーンシート、16、20は貫通孔である。

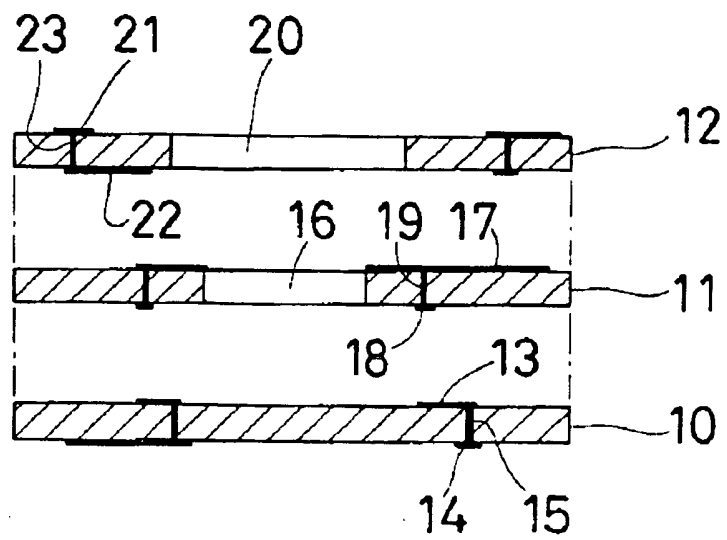
出願人 株式会社 村田製作所

代理人 弁理士 岡田 和秀

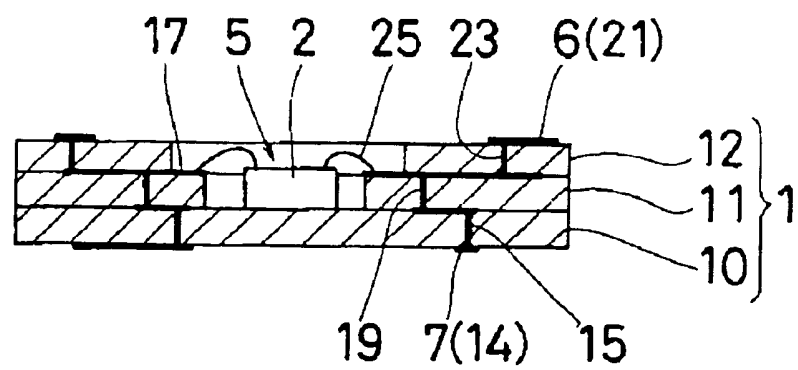
第 1 図



第 2 図 (a)



第 2 図 (b)



第 3 図

